



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-136793

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)7月20日

G 09 G 1/02
G 06 F 3/14
15/62

7923-5C

7622-5B

7157-5B

審査請求 未請求 発明の数 1 (全12頁)

⑮ 発明の名称 画像処理装置

⑯ 特 願 昭58-246986

⑰ 出 願 昭58(1983)12月26日

⑱ 発 明 者 桂 晃 洋 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑲ 発 明 者 前 島 英 雄 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑳ 発 明 者 梶 原 久 志 日立市幸町3丁目2番1号 日立エンジニアリング株式会社内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 出 願 人 日立エンジニアリング株式会社 日立市幸町3丁目2番1号

㉓ 代 理 人 弁理士 鶴 沼 辰之 外1名

明 細 書

発明の名称 画像処理装置

特許請求の範囲

1. 表示用メモリのアドレスと表示用メモリ中の1画の表示用データ内の画素位置とを指定する情報からなる画素アドレスを順次算出し、前記算出された画素アドレスにおける表示用メモリのアドレス情報から1画の表示用データを読み出し、このように読み出された表示データに対して前記画素アドレスにおける画素位置指定情報を基にデコードして形成した指定画素位置に相当する複数ビット位置を指定する情報をもつて、その表示用データの所定の画素のビットにのみ描画論理演算し、かかる論理演算結果を再び前記表示用メモリに書き込む演算装置と、この演算装置を所定の順序で制御するマイクロプログラム制御装置とを含んで構成したことを特徴とする画像処理装置。

発明の詳細な説明

〔発明の利用分野〕

本発明は図形処理装置に係り、特に1画素分の

データの更新処理について、メモリから読み出し、これを更新し、かつメモリに書き込みをする一連の処理をほぼ同時に行なえるようにして処理速度を向上させるに好適な画像処理装置に関する。

〔発明の背景〕

従来よりグラフィック処理機能を集積回路をもつて実現した図形処理装置としては、1画素を1ビットで表現する単一色の図形表示データを処理するものが知られていた。

第1図は、かかる従来の図形処理装置を多色又は多階調の図形処理に応用した場合の例を示すブロック図である。

第1図において、11は処理装置、12はアドレスデコード、13は複数のメモリである。

ここで、1つの処理装置11が出力するアドレス信号ADをアドレスデコード12でデコードし、複数ある表示用メモリ13の所定のものを選択し、処理装置11からのデータ信号DTを、アドレス信号ADで指定されたメモリ13の番地に書き込むことになる。

また、所定のメモリ13の所定の番地の記憶内容を書き替えた場合は、1つの処理装置11が出力するアドレス信号ADをアドレスデコーダ12でデコードし、複数ある表示用メモリ13の所定のものを選択し、かつ処理装置11で指定した番地内のデータDTを処理装置11内に読み込み、これを更新して、再び同一メモリ13の同一番地に書き込むようにしている。

さらに、1つの処理装置11が出力するアドレス信号ADをアドレスデコーダ12でデコードし、複数ある表示用メモリ13の所定のものを選択し、処理装置11からのアドレス信号ADに基づいて映像信号VD₁、VD₂、……、VD_nを得て、これらを合成し図示しないディスプレイ装置で表示するものである。

しかしながら、このような装置によると、多色(n色)又は多階調(n階調)の処理に際して同一の画像処理をn回繰り返したり、あるいは1ビットの1画素を表示するためにもn回繰り返して画像処理をする必要があった。

このため、2値画像処理に比較してn倍の処理時間が必要となるという不都合があった。

また、第2図に示すように、n台の表示用メモリ13に対して、それぞれ1台ずつの処理装置11をもつて処理するような方式も提案された。

このような方式によれば、処理時間は2値画像の場合とほぼ同程度となるものの、装置が大型化複雑化し、加えて中央処理装置の負担が増大してしまうという不都合があった。

さらに、このような処理を映像回路によつて行なうとする場合には、端子数が過大となり実現が困難であるという不都合もあった。

〔発明の目的〕

本発明は上記不都合な問題点を縮みてなされたものであり、その目的は、1画素が複数ビットで表現される多色あるいは多階調の場合にも2値画像の場合とほぼ同一の処理速度で描画し得る図形処理装置を提供することにある。

〔発明の概要〕

上記目的を達成するため、本発明は、表示用

メモリのアドレスと表示用メモリ中の1画の表示用データ内の画素位置とを指定する情報からなる画素アドレスを順次算出し、前記算出された画素アドレスにおける表示用メモリのアドレス情報から表示用メモリ中の1画の表示データを読み出し、このように読み出された表示データに対して、前記画素アドレスにおける画素位置指定情報を基にデコードして形成した指定画素位置に相当する複数ビット位置を指定する情報をもつて、その表示用データの所定の画素のビットにのみ描画論理演算し、かかる論理演算した結果を再び前記表示用メモリに書き込むようにしたことを特徴とするものである。

本発明は、上述のようになってるので、2値画像の場合と同一の処理速度をもつて描画し得るものである。

〔発明の実施例〕

以下、本発明の好適な実施例を図面に基づいて説明するが、その前に本発明の基礎となつた事項について説明する。

本発明の基礎となつた事項を以下に説明する。

本発明は次のようにしたものである。

まず、第一に、1画素を、(a)1ビットで表現するもの、(b)2ビットで表現するもの、(c)4ビットで表現するもの、(d)8ビットで表現するもの、(e)16ビットで表現するもの、というように5通りの画素モードを選択できるようにしたこと(第9図参照)。

第二に、画素アドレスを採用したこと。しかし、この画素アドレスは、表示用メモリのアドレスを指定するアドレス情報MADと、そのアドレスで指定された1画内のどの位置かを指定する1画内アドレス情報WADとから構成されていること(第10図参照)。

第三に、画素アドレス中のアドレス情報で指定された表示用メモリアドレスにおける1画の表示用データを表示用メモリから読み出し、つぎに画素アドレス中の1画内アドレス情報で指定された表示用データ中の所定のビット部分のみを書き換えし、それを再び表示用メモリの当該アドレス部

に書き込むようにしたものであり、1画素分の複数ビットデータを同時処理し得るようにしたことにある。

次に本発明の実施例について説明する。

また、以下では同一の符号は同一の対象を示すものとする。

第3図は本発明に係る図形処理装置が適用される装置の例を示すブロック図である。

第3図において、図形処理装置は、表示用メモリ13内の表示データを書き込み、書き及び読み出し制御する演算装置30と、該演算装置30を一定の順序で制御する制御装置20とから構成されている。また、図形処理装置により表示用メモリ13から読み出された表示用データが表示変換装置40によつて映像信号にされて表示装置50に表示される。

上記演算装置30は、表示用メモリ13のアドレスと表示用メモリ13中の1語の表示データ内の画素位置とを指定する情報からなる画素アドレスを順次算出し、前記算出された画素アドレスに

レジスタ230とを含んで構成されている。

また、演算装置30は、演算制御装置300と、(First-In, First-Out) 先入先出(FIFO)メモリ400とから構成されている。

各構成要素は通常のデジタル制御で用いられるものであり、特に説明を要しない。ただし、この実施例によれば、演算制御装置300は、論理アドレス演算部(Aユニット)310と、物理アドレス演算部(Bユニット)320と、カラーデータ演算部(Cユニット)330とに分割されている。

上記Aユニット310では主として描画アルゴリズムに従つて描画点が画面中のどこにあるかを演算算出し、Bユニット320では表示用メモリの必要なアドレスを演算し、Cユニット330は表示用メモリに書き込むカラーデータを算出するものである。

第5図には、1画素を4ビットで表示する表示装置の構成例が示されており、第4図の図形処理装置で指定された表示用データが表示装置50で

における表示用メモリ13のアドレス情報から表示用メモリ13中の1語の表示データを読み出し、このように読み出された表示データに対して、前記画素アドレスにおける画素位置指定情報を共にデコードして形成した指定画素位置に相当する複数ビット位置を指定する情報をもつて、その表示データの所定の画素のビットにのみ描画論理算出し、かかる論理演算した結果を再び前記表示用メモリ13に書き込むようにしたものである。

尚、60は外部計算機であり、この外部計算機60からの制御データに従つて図形処理装置が動作するものである。

第4図はこの発明に係る図形処理装置の実施例を示すブロック図である。

同図において、制御装置20は、マイクロプログラムメモリ100と、マイクロプログラムアドレスレジスタ110と、リターンアドレスレジスタ120と、マイクロ命令レジスタ130と、マイクロ命令デコード200と、フラグレジスタ210と、パターンメモリ220と、命令制御レ

表示される構成が示されている。

第5図において、図形処理装置(第4図)からのアドレスAD指令に基づいて、表示用メモリ13から読み出された表示用データDTのD₀、D₁、D₂、D₃が表示変換装置40内の4ビットの並列-直列変換器410に供給される。この変換器410から映像信号AD0が得られる。同様にして、表示用データDTのうちのD₄、D₅、D₆、D₇を表示変換装置40内の並列-直列変換器420に供給し、この変換器420から映像信号AD1が得られる。表示用データDTのうちのD₈、D₉、D₁₀、D₁₁を表示変換装置40内の並列-直列変換器430に供給し、この変換器430から映像信号AD2が得られる。また、表示用データDTのうちのD₁₂、D₁₃、D₁₄、D₁₅を表示変換装置40内の並列-直列変換器440に供給し、この変換器440から映像信号AD3が得られる。映像信号AD0~AD3は表示変換装置40を構成するビデオインタフェース回路450に送られ、色変換やDA変換等の処理を経

て表示装置50Kで表示される。

次に、演算制御装置300の各ユニットの具体的な構成を第6図乃至第8図を参照しながら説明する。

第6図に於いてAユニットである論理アドレス演算部310は、第4図に示すようであり、P I P Oバッファ(P U I P)3101と汎用レジスタ3102と、領域管理レジスタ3103及び3105と、領域判定比較器3104と、終了点レジスタ3106と、終了判定比較器3107と、ソースラッチ3108及び3109と、算術論理演算器(A L U)3110と、デイスティネーションラッチ(D L A)3111と、バススイッチ3112と、読出しバス(U B A, U B B)3113及び3114と、書込みバス(W B A)3115とを備えている。

第7図に於いて、Bユニットである物理アドレス演算部320は、デイスティネーションラッチ(D L B)3201と、算術演算器(A)3202と、ソースラッチ3203及び3204と、オフセットレジスタ3205と、演算幅レジスタ3206と、

る。

まず、各要素の基本的動作を説明する。中央処理装置など他の装置から送られてくる命令やパラメータ等の制御データC I Dは、一方でメモリ400に書込まれ、他方で命令制御レジスタ230に直接書込まれる。

レジスタ230は、各種のグラフィックビットモードを記憶させたものであり、後述するように、この実施例によれば5つの演算モードのうちから1つを選択できるよになつている。この選択は利用データC I Dで行なうことができる。

メモリ400は、いわゆる“First-In, First-Out”(以下もF I F Oとする)のメモリであり、該メモリ400に記憶された命令を演算制御部300により読出し該演算制御装置300内のレジスタに格納する。また、この命令情報の一部C I Dはアドレスレジスタ110に転送される。

アドレスレジスタ110はマイクロプログラムメモリ100のアドレスを管理し、このアドレス

コマンドレジスタ3207と、汎用レジスタ3208と、読出しバス(U B B)3209と、書込みバス(W B B)3210とを備えている。尚、汎用レジスタ3208は、画素単位コマンドの現在アドレスレジスタ(D P H, D P L)と、組単位コマンドのアドレスレジスタ(R W P H, R W P L)と、作業用レジスタ(T₁H, T₁L)とを備えている。

さらに、第8図に於いて、Cユニットであるカラーデータ演算部330は、パレルシフト3301と、カラーレジスタ3302と、マスクレジスタ3303と、カラー比較器3304と、論理演算器3305と、書込みデータバッファ3306と、パターンR A Nバッファ3307と、パターンカウンタ3308と、パターン制御レジスタ3309と、読み出しデータバッファ3310と、メモリアドレスレジスタ3311と、メモリ出力バス3312と、メモリ入力バス3313とを備えている。尚マスクレジスタ3303は、レジスタ(C M S K)と、レジスタ(Q M S K)とからなる。

上述のように構成された実施例の作用を説明す

はクロックに同期して更新される。該アドレスレジスタ110から出力されるアドレスに応じてマイクロプログラムメモリ100から第13図に示すようなマイクロ命令を読出す。メモリ100から読出された命令は、第13図に示すよう48ビットからなり、 $\phi 0 \sim \phi 7$ 通りの制御モードが選択できるようになっている。しかし、該命令はレジスタ130に一時記憶され、レジスタ230の選択したモードに従って動作するデコード200を介して、所定の制御信号C C Sを発生し演算制御装置300の各部を制御する。ここで、第13図のマイクロ命令の各フィールドの機能を説明する。

第13図に於いて、「R H」はU B Aバス3113に接続されるレジスタを指定する命令である。「R V」はV B Aバス3114に接続されるレジスタを指定する命令である。「R W」はW B Aバス3115上のデータが書込まれるレジスタを指定する命令である。「P U N C A」はAユニットの算出論理演算器3110の演算を指定する命令であ

る。「SFT」はリースラツナ3108に付加されたシフト(SFTA)のシフトモードを指定する命令である。「ADF-L」はマイクロプログラムアドレスレジスタ110に戻される次アドレスの下位4ビットを指定する命令である。「AC」はマイクロ命令の次アドレスを制御する命令である。「ADF-H」はマイクロプログラムアドレスレジスタ110に戻される次アドレスの上位6ビットを指定する命令である。また、+4~+7の各マイクロ命令ではアドレスの上位6ビットは更新できない。「FUNCB」はBユニットの算術演算器3202の演算モードを指定する命令である。「ECD」は演算の実行条件を指定する命令である。「BCD」は分岐の条件を指定する命令である。「FLAG」はフラグレジスタ210へのフラグの反映を指定する命令である。「V」は表示用メモリ13へのアクセス可否をテストするかどうかを指定する命令である。「FIFO」はFIFO400への読み書きを制御する命令である。「LITERAL」は8ビットのリテラルデータを指

定する命令である。「LC」はリテラルデータの生成モードを指定する命令である。「FP」は各部の特殊フリップフロップのセット、リセットを制御する命令である。「S」は符号フラグの選択を指定する命令である。「MC」は表示用メモリ13のリード・ライトを制御する命令である。「DR」はパターンRAMの走査を制御する命令である。「BC」はBユニットの算術演算器3202への入力経路を制御する命令である。「RB」はBユニットの読み出し、書き込みレジスタを選択する命令である。

マイクロ命令は上述の命令を有しており、これにより制御装置20が演算装置30を制御する。

尚、リターンアドレスレジスタ120はサブルーチンの戻り番地を記憶する。フラグレジスタ210は種々の条件フラグを記憶する。パターンメモリ220は図形処理に用いる基本パターンを記憶する。

それでは、画像データのメモリ格納する動作について説明するが、その前に本実施例で用いる各

データのビットレイアウトについて説明する。

まず、グラフィックモードについて説明する。

本実施例では、コマンド制御レジスタ230に記憶されたグラフィックビットモード(QBM)の指定に従って5種類の異なる動作モードを選択できる。

第9図には各モードにおける表示用メモリの1画のビット構成が示されている。

(a). 1ビット/画素モード(QBM="000")

これは、白黒画像のように1画素を1ビットで表現する場合に用いるモードであり、表示用メモリの1画には連続する16画素のデータが格納されることになる。

(b). 2ビット/画素モード(QBM=001)

これは、1画素を2ビットで表現するものであり、4色または4階調までの表示に用いることができる。したがって、表示用メモリ13の1画には連続する8画素のデータが格納できることになる。

(c). 4ビット/画素モード(QBM=010)

これは、1画素を4ビットで表現するものであり、表示用メモリの1画のデータには連続する4画素のデータが格納できることになる。

(d). 8ビット/画素モード(QBM=011)

これは、1画素を8ビットで表現するものであり、表示用メモリの1画には2画素分のデータが格納することができる。

(e). 16ビット/画素モード(QBM=100)

これは、1画素を16ビットで表現するものであり、表示用メモリの1画が1画素データに対応することになる。

次に、画素アドレスについて説明する。

第10図は、第9図の各モードに対応する画素アドレスを説明するものである。物理アドレス演算部のレジスタ3208ではメモリアドレスの下位4ビットを付加したビットアドレス(物理アドレス)WADを管理している。下位4ビットの情報WADは、1画内の画素位置を指定するために用いられ、各ビット/画素モードに応じて動作する。図において、"*"印は演算に無関係なビッ

トを示している。

第11図は、前記(c)項の「4ビット/画素モード」を例として表示用メモリの空間的な配置を示したものである。メモリアドレスは図(A)のメモリマップに示すようにアドレスとして付けられており、これが図(B)に示すような2次元画像として表示される。画面の横軸は第7図の画面幅レジスタ(MW)3206に記憶されており、このMWは、画面の横軸が何ビットで構成されているかを示している。したがって、4ビット/画素モードの場合では水平方向に $\frac{MW}{4}$ 画素が表示されることがわかる。また、4ビットで1画素を表示しているのだから1画のデータの場合は、第11図(C)に示すように水平方向に連続する4画素分のデータとして表示される。第7図のオフセット発生回路2001ではオフセット値として“4”を発生しオフセットレジスタに記憶されている。したがって、物理アドレスを水平方向に1画素分移動するに当りオフセット値を加減算すればよいことがわかる。また、垂直方向に1画素分移動するに当りレジスタ(MW)

3206の値を加減算すればよい。

以上のように本実施例で用いるデータのビットレイアウトの例を説明した。

次に、これらデータに用いて画像データを表示用メモリ13に格納する動作を説明する。

外部の中央処理装置から送られてくる命令やパラメータ等の制御データC/D Tは、一方でメモリ400に書き込まれると共に、他方では命令制御レジスタ230に書き込まれる。

ここで、命令制御レジスタ230に記憶され指定されたグラフィックビットモード(OBM)が、例えば4ビット/1画素モード(OBM=010)の場合について説明することにする。

命令制御レジスタ230によつてグラフィックビットモード(OBM)が4ビット/1画素に指定されると、以後表示用メモリ13内の1画のデータは第9図に示すように4ビット毎に分割されたものとして取り扱われることになる。

外部の中央処理装置からの命令やパラメータ等C/D Tは、メモリ400に次々と格納される。故

メモリ400に記憶されたデータをAユニット310のP/D Oバッファ3101に取り込まれる。以下にAユニット310の動作を説明する。このP/D Oバッファ3101に取り込まれたデータは内部バス3113との間でやり取りをし、それぞれ必要なレジスタに記憶させる。これはバスからリスタッチ3109を介して論理演算器3110に入力され所定の演算をされてその結果が一時デイスティネーションラッチ(DLA)3111に格納される。この結果は、汎用レジスタ3102に記憶される。この汎用レジスタ3102にはパラメータのデータ座標空間での現在の座標点を記憶している。

汎用レジスタ3102にある現在のX-Y座標が出力バス3113、3114のいずれかから読み出されて、それが算出幅演算器(ALU)3110に入力される。この演算器(ALU)3110にて演算された結果は、デイスティネーションラッチ(DLA)3111、書き込みバス3115を介して汎用レジスタ3102に再び記憶される。これら一連の動作は第13図に示すマイクロプログラムの命

令に従つて実行されることになる。

また、書き込みバス3115上のデータは領域管理レジスタ3103及び3105に入力される。かかる領域管理レジスタ3103及び3105に入力されたデータは領域判定比較器3104で比較される。これらデータから比較器3104では、X軸の最小値か又はX軸の最大値か、Y軸の最小値又はY軸の最大値かが判定され、その判定結果はフラッグレジスタ210に送られる。

さらに、書き込みバス3115のデータは終了点レジスタ3106に記憶され、これを介して終了判定比較器3107に入力される。終了判定比較器3107では、あらかじめこの比較器3107に記憶されたX軸及びY軸の終了点と、上記データとを比較し、その終了点と上記データとが一致しているか否かの検出を行なう。その比較検出結果はフラッグレジスタ210に反映される。

上述したように比較器3104及び3107、演算器3110の結果はフラッグレジスタ210に集められて、マイクロ命令デコード200に入力され、

マイクロプログラムの流れを実えることに用いられることとなる。

- ・ 以上のようにAユニット310は動作して、パラメータで与えられたX-Y座標値を解釈して、それぞれ例えば線を引くとか、円を描くとかの命令解釈をするのである。

次に、Bユニット320の動作について説明する。

Aユニット310で解釈されたデータはレジスタ3208に入力される。レジスタ3208のデータが読出しバス3209及びリースラフチ3204を介して演算器(ALL)3202に入力される。この演算器3202で演算された結果はデイスティネーションラフチ3201で一時記憶されて、各バス3113, 3114, 3209及び3210に出力できる。ここでは、バス3210を経由して該レジスタ3208に書込まれる。該レジスタ3208は、16ビット1ワードのものが2本で1語構成になつており、合計32ビット1語で物理アドレスを記憶する。該レジスタ3208は前記32ビットのレジ

スタが3種あり、3種のデータを記憶することができる。すなわち、該レジスタ3208のレジスタDPが現在の描画点X-Yに対応する実際の描画点の物理アドレスを記憶する。しかして、Aユニット310のレジスタ3102のXY座標が移動すると、これに対応してレジスタDPの物理アドレスが移動する。

物理アドレスを変更することは、X軸方向については元の物理アドレスに可変設定可能な所定の値(オフセット値×移動したい点までの値)を加減すればよく、またY軸方向は所定の値を加減すればよい。すなわち、該レジスタ2001によつて用定された画像モードに基づいてオフセットレジスタ3205には、画素アドレスを水平方向に1画素分移動する際の定数が設定される。この定数とデータとを演算器3202で演算することにより水平方向の移動物理アドレスが算出される。例えば、画像モードが「1ビット/画素モード」のときは定数は1でよく、1画素移動させると1ビットずれるだけである。これが「4ビット/画素

モード」のときは定数は4となり、1画素移動させると4ビット分ずれることとなる。

また、ここで画素に1画素分移動させるためには、画素レジスタ3206に設定された定数を用いて演算すれば、1画素分の移動可能となる。もちろん例えば、4画素分移動させるには、4ビット分を加えればその分移動することとなる。

そして、以上のようにBユニット320は動作して上記Aユニット310で決定されるX-Y座標に対応して実際の物理アドレスを得るのである。

最後に、Cユニット330の動作について説明する。

Cユニット330は第11図に示す表示用メモリ13に対して出力バス3312と入力バス3313とで接続されている。出力バス3312にはCユニット330からまずアドレス情報ADが出力され、次いでデータDTが出力される。

まず、アドレス情報ADはBユニット320を経由し、かつUBBバス3209を介してメモリアドレスレジスタ3311に書込まれ、メモリアドレ

スレジスタ3311の(MARL)及び(MARH)に記憶される。このレジスタ3311に記憶されたメモリアドレスが出力バス3312を介して表示用メモリ13に送られると、表示用メモリ13から入力バス3313を介して該メモリ13の指定された1語の表示用データDTが読み出される。読み出された表示用データDTは読出しデータバッファ3310に記憶される。ここで表示用データDTが図形を描く場合は演算器3305に入力される。

次に、マスクレジスタ3303からのマスク情報(1語のうちのどのビットをマスクするかを指定する情報)を演算器3305に入力する。尚、マスク情報は、WBBバス3201から直接書込まれるレジスタ(CMSK)、または1語内のアドレスデコード2002によつて生成されるデータを記憶するレジスタ(OMSK)から送出される。

加えて、色情値をカラーレジスタ3302で選択して演算器3305に与える。そして、演算器3305では、上記データDT、マスク情報及び色情値に基づいて論理演算して、その演算結果を書

込みレジスタ3306に出力する。尚、色情報及びパターン情報は、パターンカウンタ3308及び描画パターンレジスタ3309で形成されたアドレスは時Kによつて指定されることKより、パターンRAM220からパターンRAMバッファ3307に記憶される。これをカラーレジスタ3300に取り込んだり、または直接演算器3305に入力する。

このようKユニット330は動作して色情報Kに対して変換処理することKなる。

次K描画演算の手法を説明する。第12図は4ビット/画素モードの場合の1画素の描画演算の流れを模式的K示したものである。

描画パターンレジスタ3309及びパターンレジスタ3308で指定されたアドレスKよりパターンRAM220から描画カラーデータ(C0, C1)が読み出され、パターンRAMバッファ3307を介してカラーレジスタ3302に記憶させる。また、表示用メモリ13から読出したデータ(C₀, C₁, C₂, C₃)は読出しデータバッファ3310に記憶される。これKカラーデータ及びデ

ータなどは、それぞれ4ビットの色情報あるいは階調情報である。パターンメモリ220からは1ビットのパターン情報が読出されており、そのデータの“0”、“1”K応じてカラーレジスタ0またはカラーレジスタ1が選択され論理演算器3305に供給される。メモリアドレスレジスタ3311に記憶された物理アドレス情報の下位4ビットは図では“10**”となつており、この情報は1画素内アドレスデコーダ2002を得てマスクレジスタ3303でマスク情報(MSK)を発生する。一方、メモリアドレスレジスタ3311の下位4ビットを除く上位フィールドは表示用メモリアドレスとして出力され表示用メモリ13の1語が読出される。論理演算器3305ではマスクレジスタ3303のMSKの“1”のビットで指定された部分Kのみ論理演算が施され書込みデータC₀を得て書込みバッファ3306に記憶させる。ここで、演算器3305の論理演算の種類としては、カラーレジスタの値への置き換え、論理演算(AND, OR, EOR)、条件付描画(読出しカラーが所

定の条件を満足する場合のみ描画)などがある。ビット/画素モードが他のモードの場合Kは発生されるMSK情報が異なるのKつて同様の演算が施される。しかし、再びアドレス情報AD及びデータDTの値Kアドレスレジスタ3311及びレジスタ3306から出力バス3312に送出され表示用メモリ13の所定のアドレスに書き込まれる。

このようK本実施例Kよれば、1回の読出し、更新・書込み処理Kよつて1度K1画素分のデータを更新できるため、処理効率のよい描画が可能となる。また、16ビット/画素モード以外の場合Kも、複数画素のデータを16ビット長に詰め込んで処理するため、メモリの使用効率が良い。他の演算と表示用メモリ間のデータ伝送効率も良い。さらに、本実施例では画素当りのビット長の異なる5種類K対する動作モードを設けているため汎用性の高い構成となつている。

〔発明の効果〕

以上詳細K説明したようK、本発明Kよれば、1回の読出し、更新・書込み処理Kよつて1画素

分の全データを更新できるので、描画処理を高速化できるという効果がある。

図面の簡単な説明

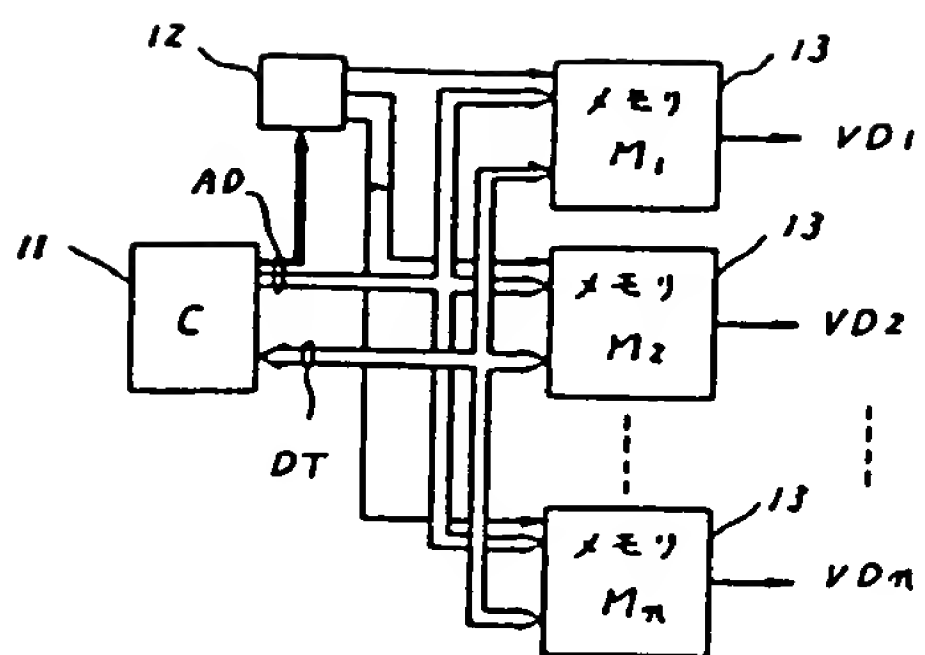
第1図及び第2図は従来の図形処理装置を示すブロック図、第3図は本発明に係る図形処理装置が適用される装置を示すブロック図、第4図は本発明に係る図形処理装置の実施例を示すブロック図、第5図は同実施例が適用される表示装置を示すブロック図、第6図乃至第8図は第4図の図形処理装置の詳細を示すブロック図、第9図は同実施例で用いる表示用データのビットレイアウトを示す説明図、第10図は同実施例で用いる画素アドレスのビットレイアウトを示す説明図、第11図は画像メモリと表示装置間の構成を示すブロック図、第12図は同実施例の描画演算動作を説明するためK示す説明図、第13図は同実施例で用いるマシロ命令の形式を示す説明図である。

20…制御装置、30…演算装置、300…演算制御装置、310…物理アドレス演算部、320…物理アドレス演算部、330…カラーデータ演

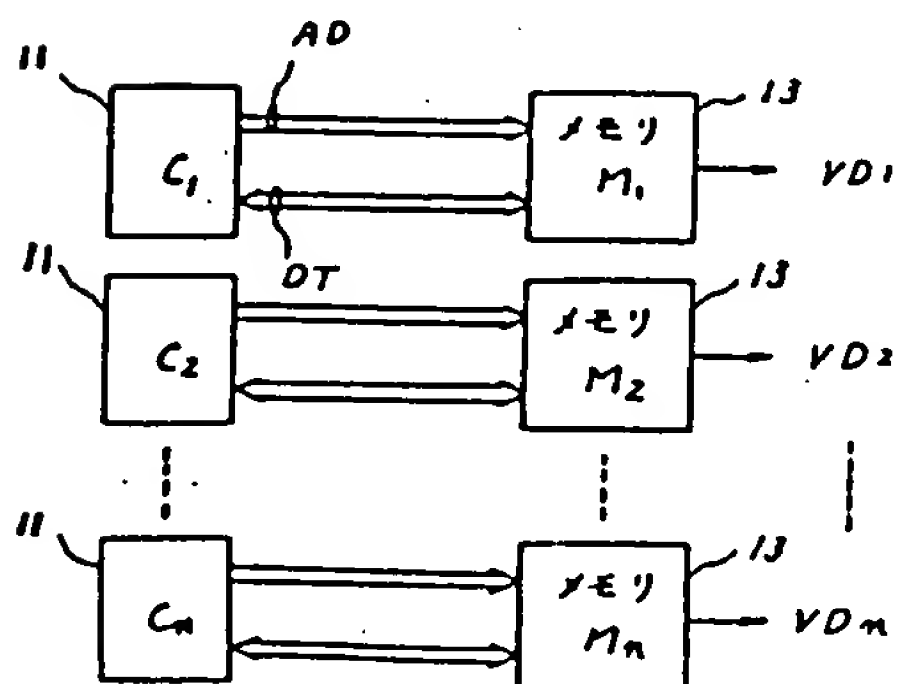
真価、2002...1階内アドレスデコーダ。

代理人 弁理士 橋本成之

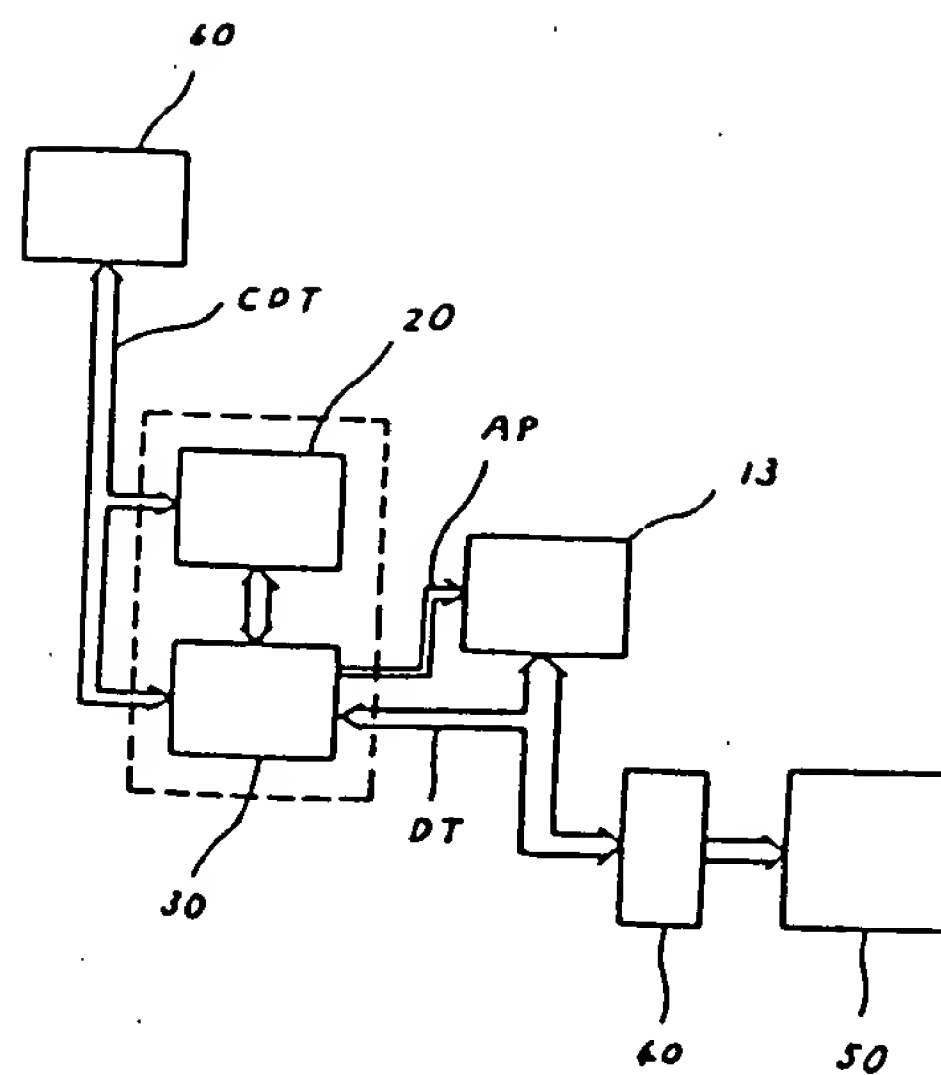
第1図



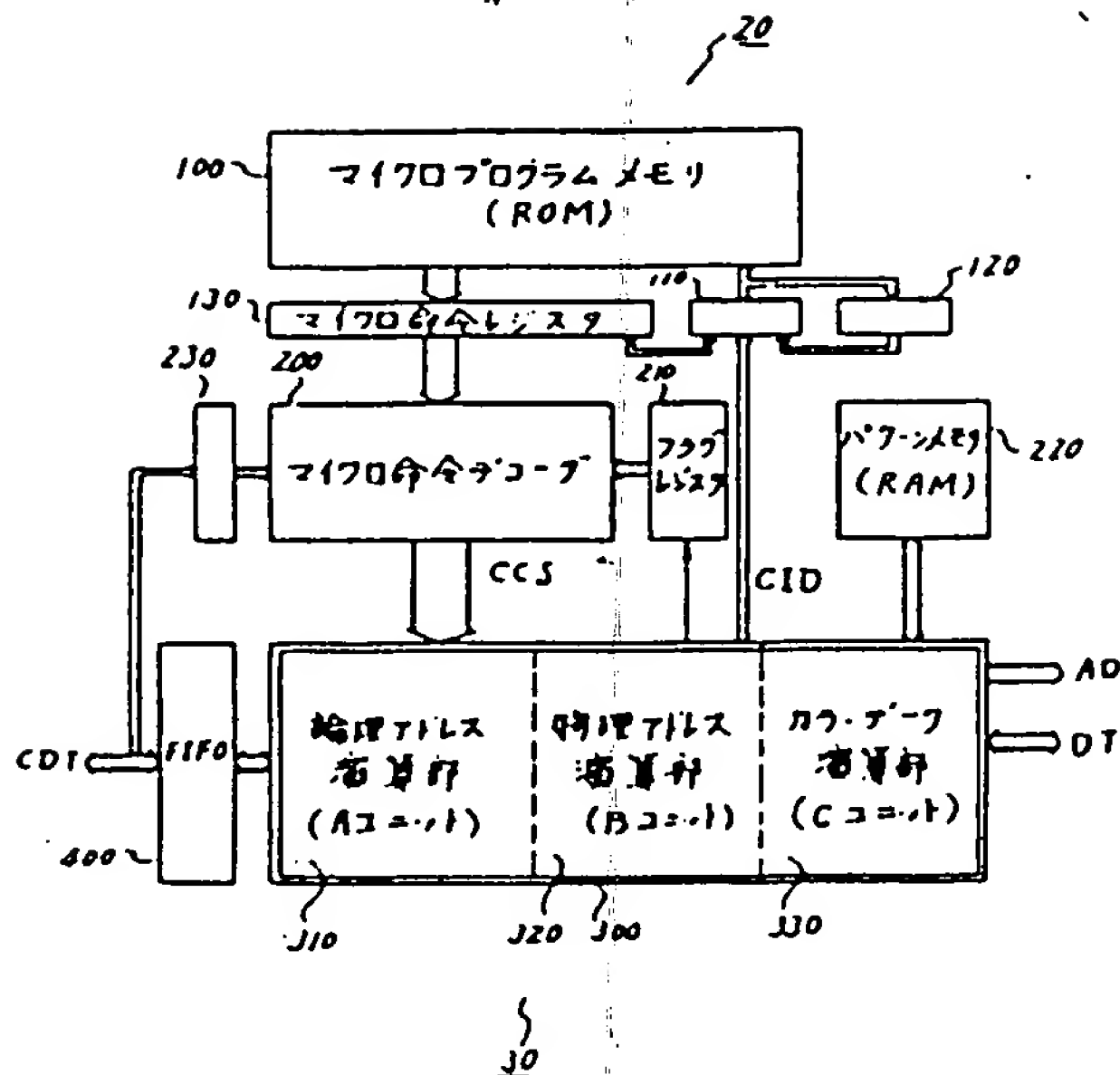
第2図



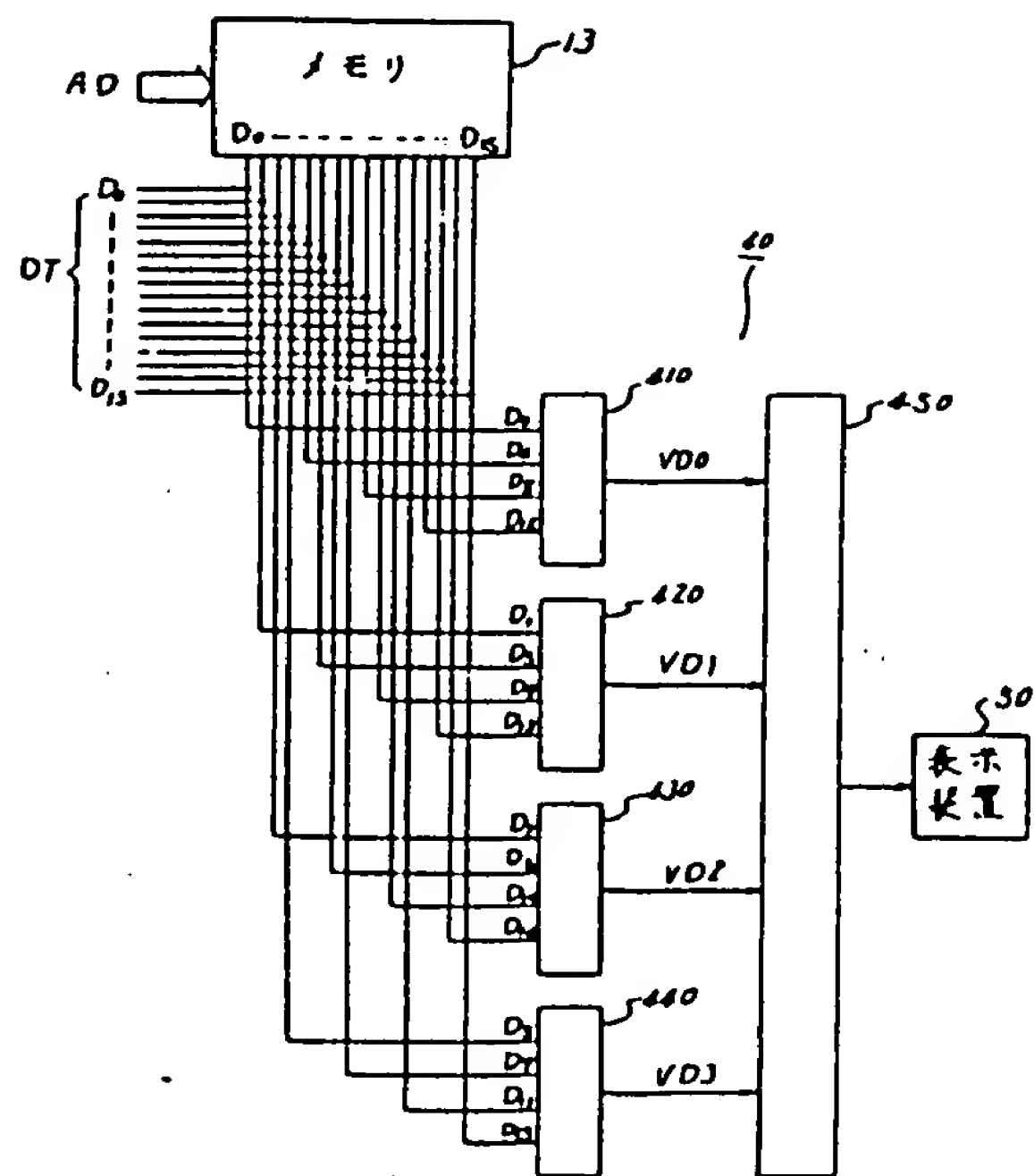
第3図



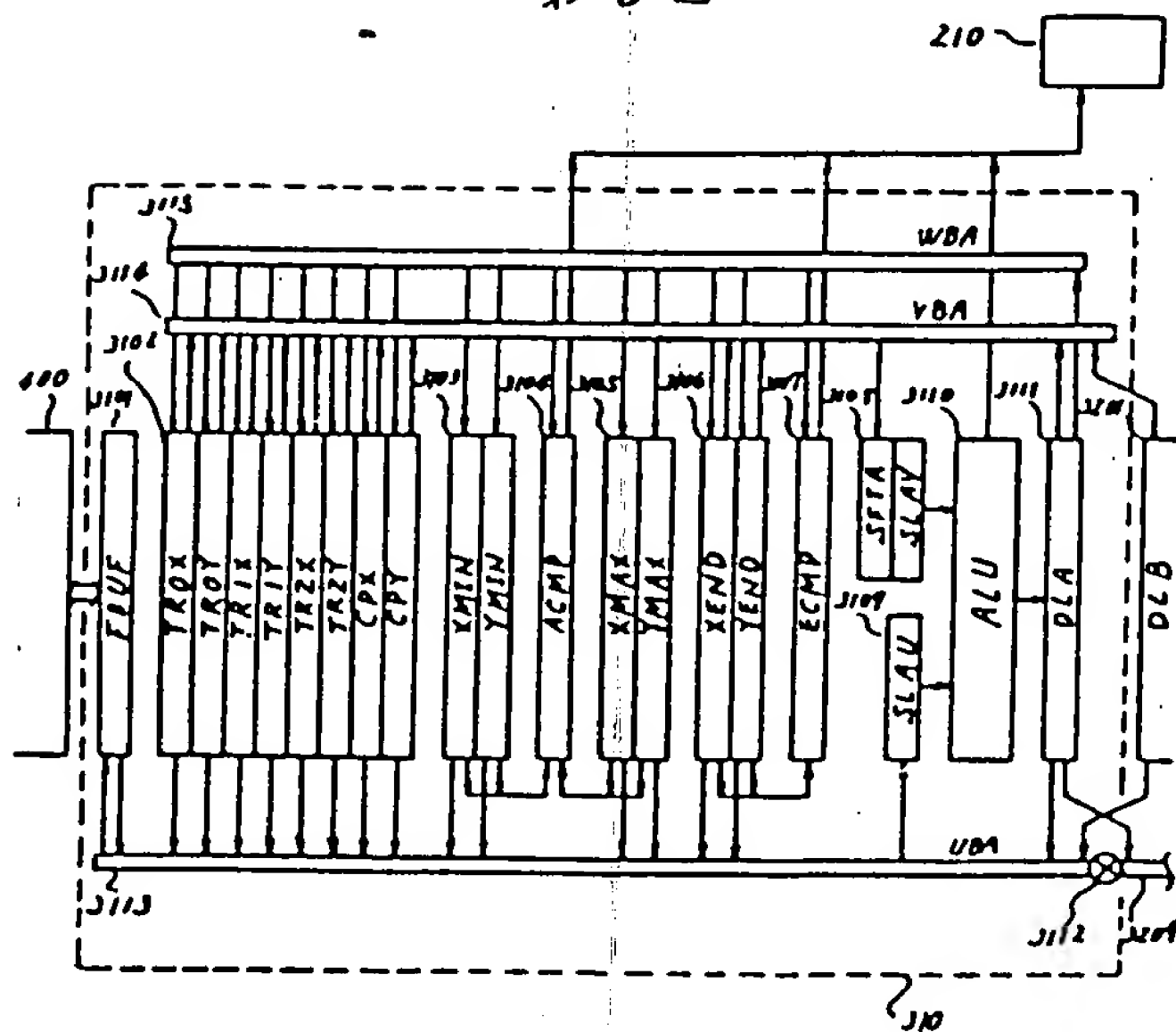
第4図



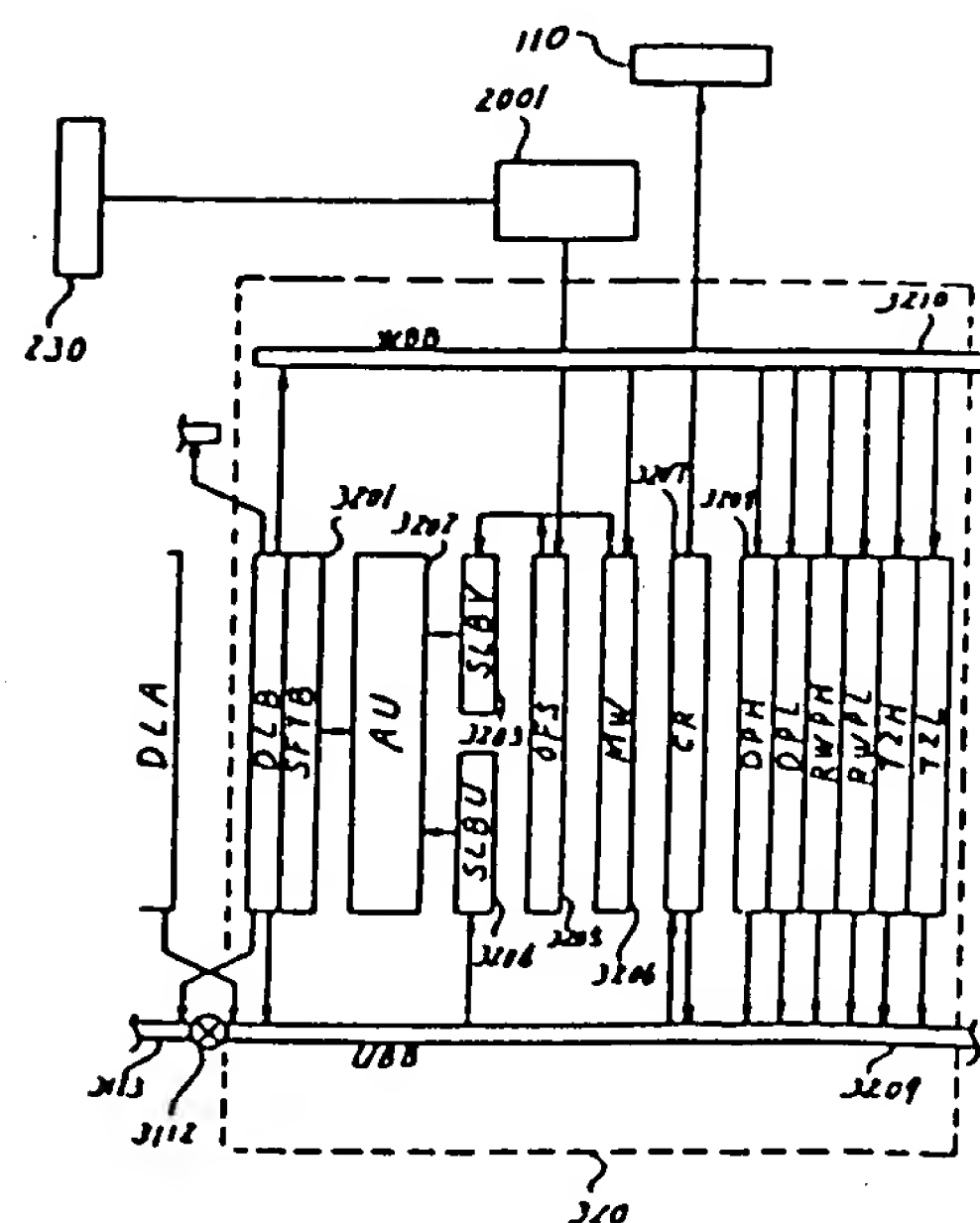
第5図



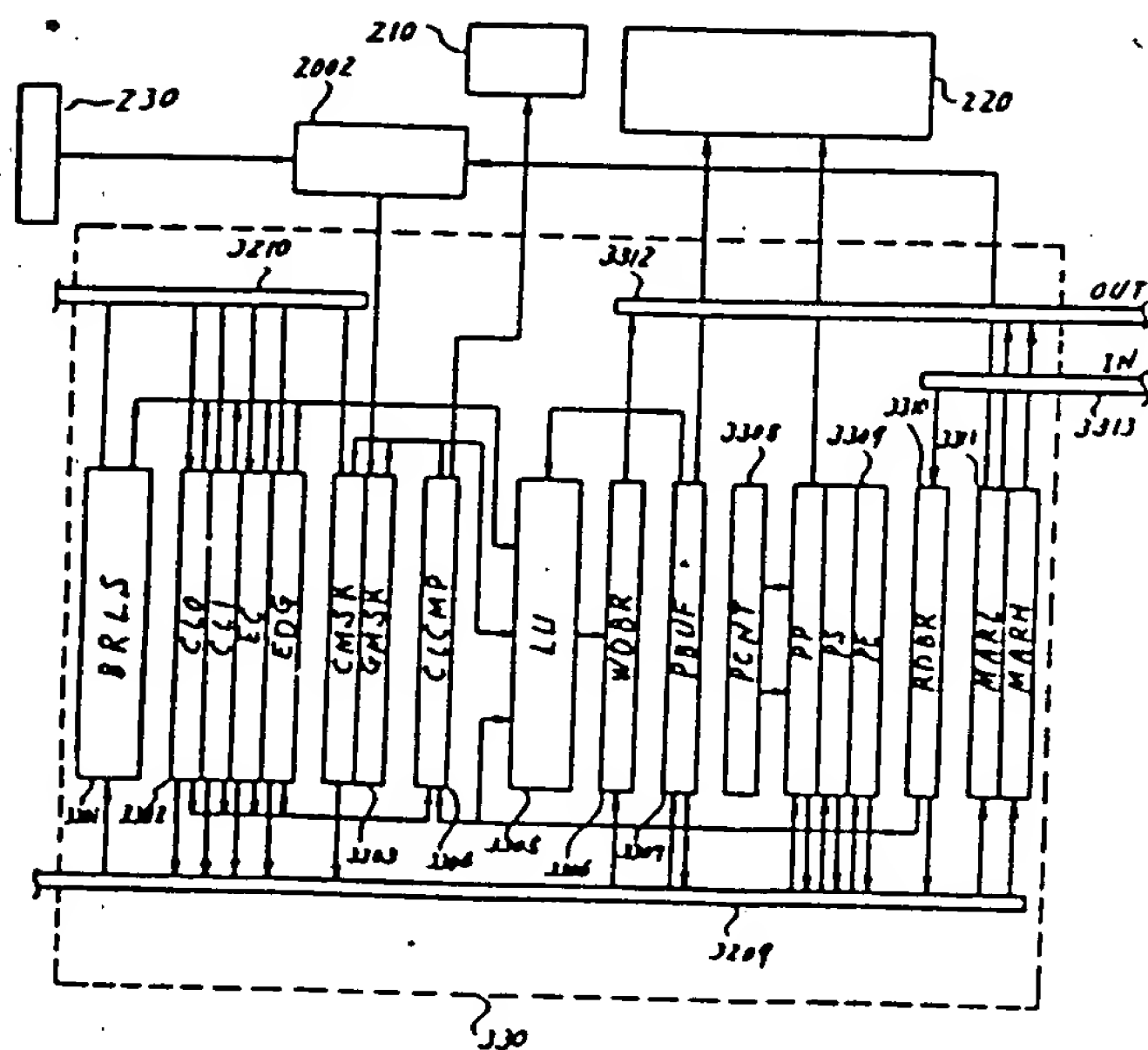
第6図



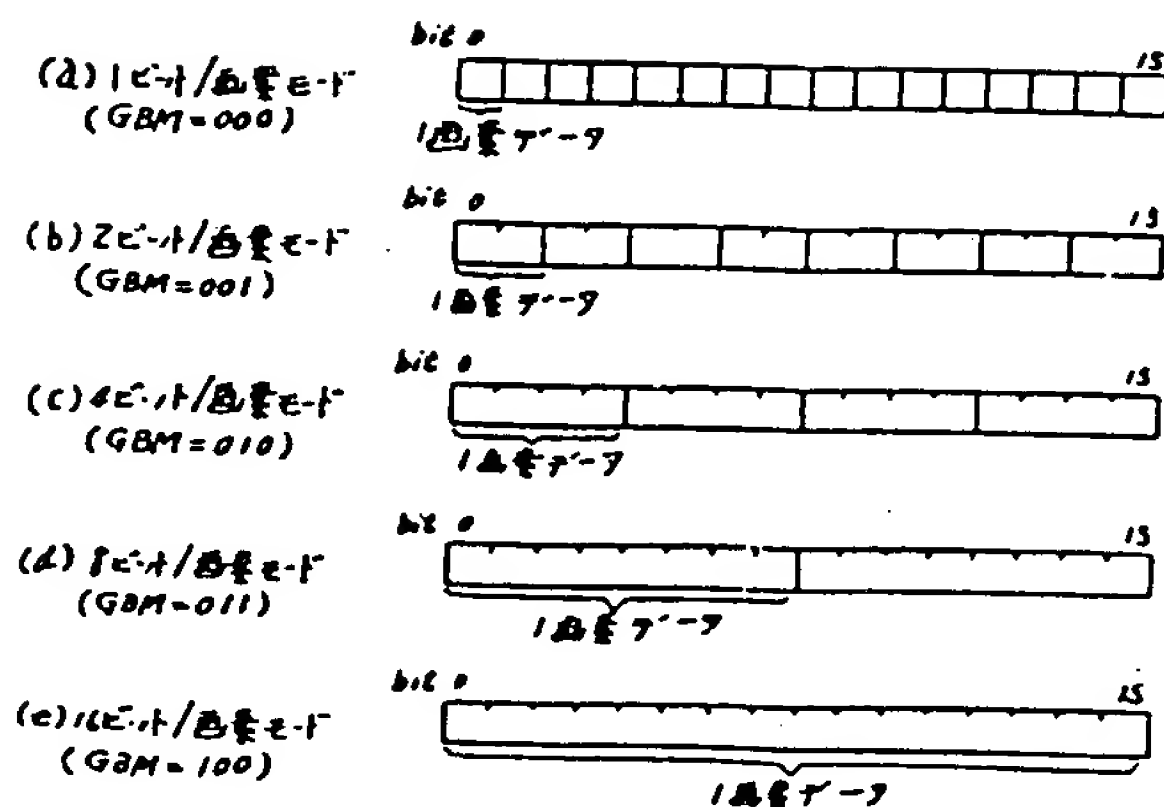
第7図



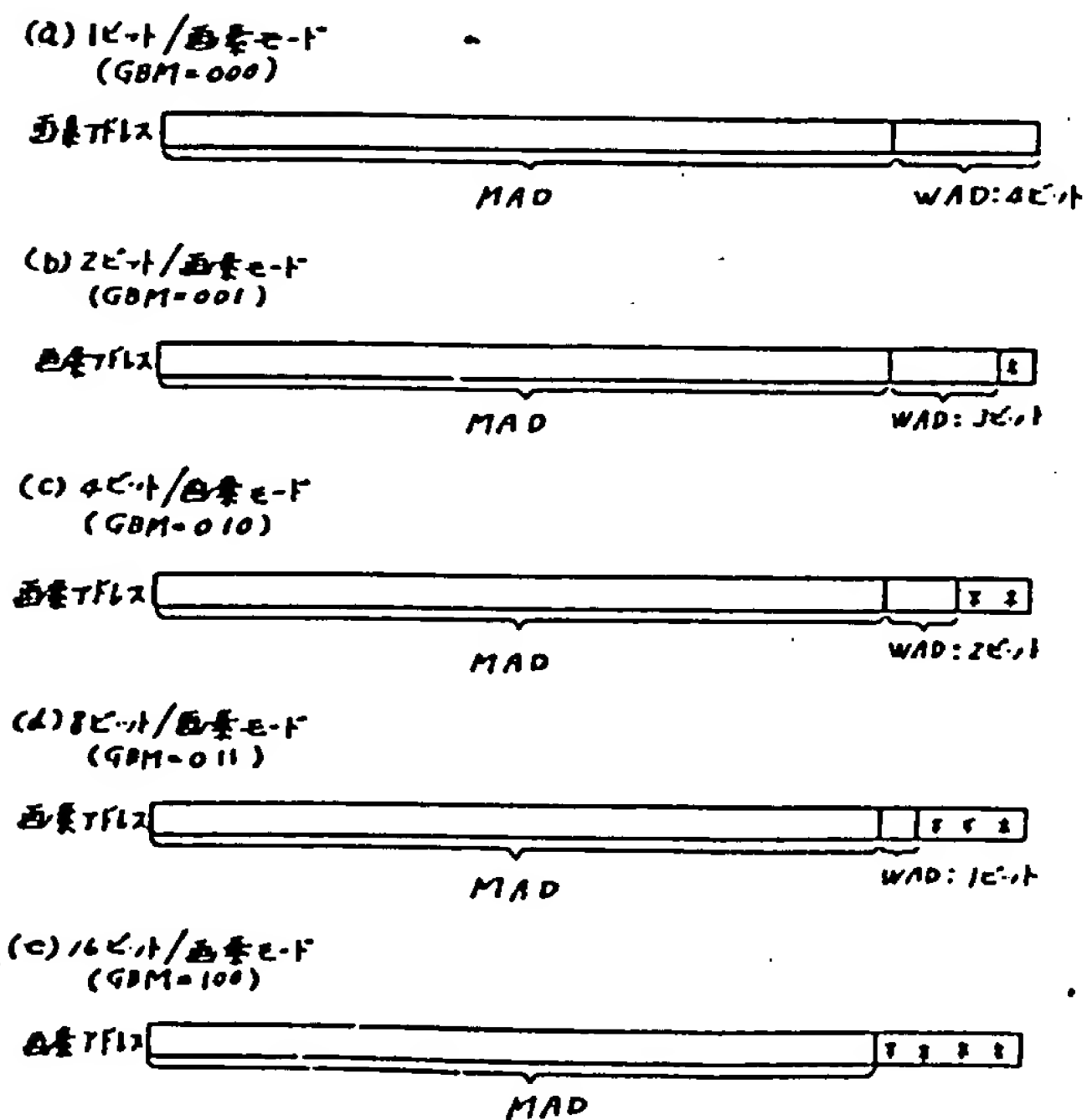
第 8 図



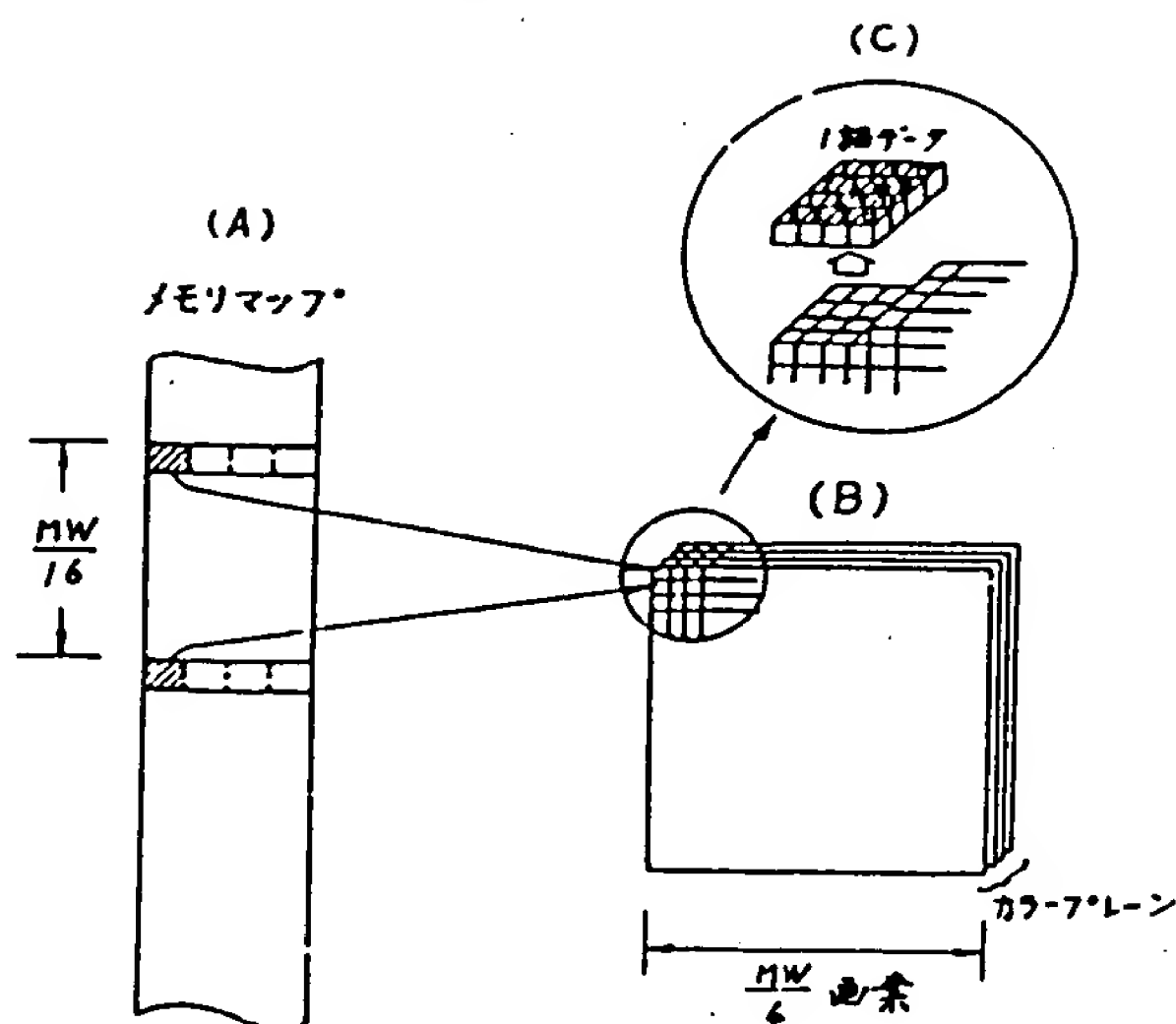
第 9 図



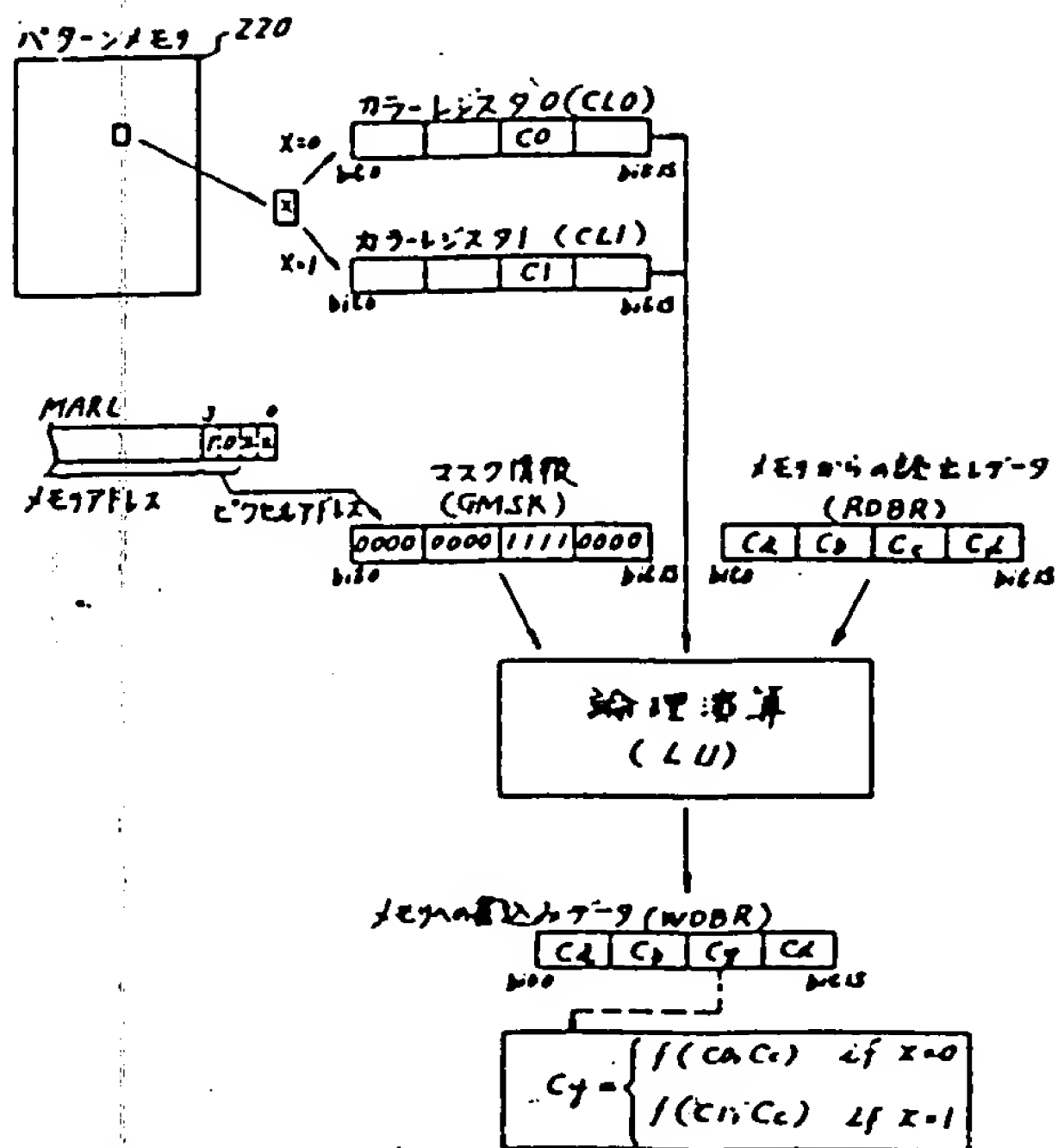
第 10 図



第 11 図



第 12 回



第 13 回

[illegible]